

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-021782
 (43)Date of publication of application : 22.01.2004

(51)Int.CI. G05F 1/56
 H02J 1/00

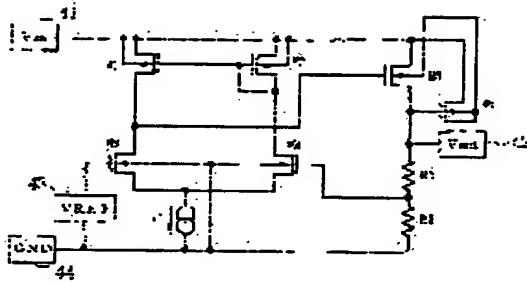
(21)Application number : 2002-178229 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 19.06.2002 (72)Inventor : KIMURA TAKESHI

(54) REVERSE OVERCURRENT PREVENTIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reverse overcurrent preventive circuit which can prevent a breakdown by a reverse overcurrent even if a voltage reaching to the reverse breakdown voltage of a P-N junction is applied between an output terminal and an input terminal, in a constant voltage power supply circuit.

SOLUTION: An overcurrent limiting circuit is provided which is constituted to prevent the flow of an overcurrent into the circuit, even if a voltage higher than an input voltage applied to the constant voltage power supply circuit is forcibly applied externally to an output voltage terminal. More specifically, the substrate and the drain of an output driver M5 are connected, the input voltage is set as a source electric potential, the output voltage is set as a gate electric potential, when $V_{in} > V_{out}$, the electric potentials of the drain and the substrate of an additional driver M8 are equal to the input voltage V_{in} , and when $V_{in} < V_{out}$, because the drain and the substrate of the M8 are connected to the substrate of the M5, the electric potentials of the drain and the substrate of the M8 become the output voltage V_{out} through the drain of the M5.



LEGAL STATUS

[Date of request for examination] 14.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-21782

(P2004-21782A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl.⁷G05F 1/56
H02J 1/00

F 1

G05F 1/56 310P
G05F 1/56 320C
H02J 1/00 309G

テーマコード(参考)

5G065
5H430

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願2002-178229(P2002-178229)

(22) 出願日

平成14年6月19日(2002.6.19)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(74) 代理人 100077274

弁理士 磯村 雅俊

(74) 代理人 100102587

弁理士 渡邊 昌幸

(72) 発明者 木村 岳史

東京都大田区中馬込1丁目3番6号 株式会社リコー内

F ターム(参考) 5G065 BA03 EA01 JA02 KA05 LA01
MA09 NA04
5H430 BB01 BB05 BB09 BB11 BB12
EE06 EE18 FF04 FF13 GG08
HH03 LA02 LA07 LA16 LB02

(54) 【発明の名称】逆過電流防止回路

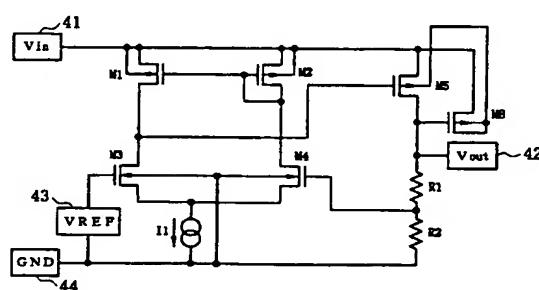
(57) 【要約】

【課題】定電圧電源回路において、P N接合の逆方向耐圧までの電圧が output 端子と input 端子間に印加されても、逆過電流による破壊を防止できる。

【解決手段】定電圧電源回路に与えられる input 電圧より高い電圧が output 電圧端子に外部より強制的に与えられたときにも、過電流が回路内に流れ込まないような構成の過電流制限回路を設ける。すなわち、出力ドライバM5 の基板とドレインを接続し、input 電圧をソース電位とし、output 電圧をゲート電位とし、 $V_{in} > V_{out}$ の時、追加M8のドレインと基板の電位は input 電圧 V_{in} と同じになり、 $V_{in} < V_{out}$ の時は、M8のドレインと基板を M5 の基板と接続しているため、M5 のドレインを介して M8 のドレインと基板の電位は output 電圧 V_{out} となる。

【選択図】

図2



【特許請求の範囲】

【請求項 1】

MOSトランジスタを出力電圧制御用として用いる定電圧電源回路の逆過電流防止回路において、

該定電圧電源回路に与えられる入力電圧より高い電圧が出力電圧に外部より強制的に印加された場合、該出力電圧制御用のMOSトランジスタの基板電極とソース電極を電気的に分離して、該定電圧電源回路内に過電流が流れ込まないようにする過電流制限回路を設けたことを特徴とする逆過電流防止回路。

【請求項 2】

MOSトランジスタを出力電圧制御用として用いる定電圧電源回路の逆過電流防止回路において、10

該出力電圧制御用のMOSトランジスタに、該MOSトランジスタのバルクードレイン間をショートしたトランジスタを接続し、

該トランジスタにより該定電圧電源回路の入力電圧と出力電圧の電位の大きい方を選択して、該出力電圧制御用のMOSトランジスタのバルク電位を選択した電位にすることで、該出力電圧制御用のMOSトランジスタの逆耐圧を保つことを特徴とする逆過電流防止回路。

【請求項 3】

PチャネルMOSトランジスタを出力電圧制御用として用いる定電圧電源回路の逆過電流防止回路において、20

該出力電圧制御用のPチャネルMOSトランジスタの基板に接続されたドレイン電極と、該定電圧電源回路の入力電圧に接続されたソース電極と、該定電圧電源回路の出力電圧に接続されたゲート電極とを備えたPチャネルMOSトランジスタを設け、

該定電圧電源回路に与えられる入力電圧より高い電圧が出力電圧に外部より強制的に印加された場合に、過電流が回路内に流れ込まないようにしたことを特徴とする逆過電流防止回路。

【請求項 4】

PチャネルMOSトランジスタを誤差増幅器および出力電圧制御器として用いる定電圧電源回路の逆過電流防止回路において、

該出力電圧制御用のPチャネルMOSトランジスタおよび該誤差増幅用のPチャネルMOSトランジスタの基板に接続されたドレイン電極と、該定電圧電源回路の入力電圧に接続されたソース電極と、該定電圧電源回路の出力電圧に接続されたゲート電極とを備えた複数のPチャネルMOSトランジスタを設け、30

該定電圧電源回路に与えられる入力電圧より高い電圧が出力電圧に外部より強制的に印加された場合に、過電流が該出力電圧制御用および該誤差増幅用のPチャネルMOSトランジスタ内に流れ込まないようにしたことを特徴とする逆過電流防止回路。

【請求項 5】

請求項2または3に記載の逆過電流防止回路において、

前記新設のPチャネルMOSトランジスタのドレイン電極と基板を出力電圧制御用PチャネルMOSトランジスタの基板と接続しているため、40

前記入力電圧>出力電圧の時は、該新設のPチャネルMOSトランジスタのドレイン電極と基板の電位は該入力電位と等しく、

前記入力電圧<出力電圧の時は、該出力電圧制御用PチャネルMOSトランジスタのドレイン電極を介して該新設のPチャネルMOSトランジスタのドレイン電極と基板の電位は該出力電位と等しくなることを特徴とする逆過電流防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ボルテージレギュレータなどの半導体装置に適用される逆過電流防止回路に関し、特に定電圧電源回路よりも高い電圧を供給する他の電源回路との組み合わせ時の問題

点を解決するための逆過電流防止回路に関するものである。

【0002】

【従来の技術】

充電式シェーバーで、ACアダプタを用い商用電源での使用ができるものを使用する定電圧電源回路を例にとって説明する。定電圧電源回路とACアダプターとは出力がシェーバー内でショートして、どちらかを使用するようになっているが、ACアダプタが選択された場合、この定電圧電源回路にACアダプタから流れる電流を防止する逆流保護ダイオードを接続する必要があった。この場合、定電圧電源回路の出力ドライバに、バルクソース間をショートしたトランジスタを接続していた。使用するトランジスタは、バイポーラ型ではなく、MOS型のトランジスタを必要とされていたので、メーカに手間をとらせていた。

10

【0003】

図5は、従来における定電圧電源回路の出力電圧制御用のPチャネルMOSトランジスタの断面構造図である。

Pウェル22上の基板(Nウェル)21内に、P+領域18、P+領域19、およびN+領域20を設ける。P+領域18をドレイン電極15、P+領域19とN+領域20をソース電極16、P+領域18とP+領域19をゲート電極14、N+領域20を基板電極17とし、ここではソース電極16と基板電極17に入力端子電圧11が、ドレイン電極15に出力端子電圧13が、ゲート電極14に出力電圧制御電圧12が、それぞれ印加される。

20

【0004】

出力電圧13より入力電圧11の方が高い通常動作では、トランジスタのソース電極(P+)16および基板電極(N+)17には、入力電圧11が与えられる。Nウェル21には、基板電極(N+)20と共に共通となり、入力電圧11が与えられる。ドレイン電極15は、ゲート電極14で制御された出力電圧を出力する($V_{in} > V_{out}$)。

30

【0005】

多電源で使用するようなアプリケーションでは、定電圧電源の出力電圧端子13を他の電源回路の出力電圧とショートとして使用される場合がある。この時、出力電圧端子(V_{out})13に対して外部より強制的に入力電圧11より高い電圧が与えられると、ドレイン電極(P+)15のP型領域18に対してNウェル21および基板電極(N+)17はN型領域となっており、ダイオードの順方向特性を示す。従って、この定電圧電源回路の出力端子13より入力端子11に向って順方向の過電流が流れてしまい、メタル配線の電流容量をオーバーするなどして破壊してしまうおそれがある($V_{in} < V_{out}$)。

30

【0006】

図6は、従来における外付けの逆流保護ダイオードを付加する場合の概略図である。

図5において、逆過電圧により逆流電流が予想される場合には、通常、図6に示すような外付けの逆流保護ダイオード30を付加することがある。

すなわち、入力電圧27と出力電圧28を与えられる定電圧電源回路25と、ACアダプター等の他電源回路26とが並列に接続されたアプリケーション29においては、定電圧電源25の出力電圧28よりも高い電圧がACアダプター等の他電源回路26から与えられると、定電圧電源回路25の出力電圧28から入力電圧27に向って逆電流が流れてしまうので、これを防止するために、逆流保護ダイオード30の付加が必要となる。

40

【0007】

【発明が解決しようとする課題】

このように、従来の定電圧電源回路(ボルテージレギュレータ)においては、定電圧電源回路を多電源で使用するようなアプリケーションでは、定電圧電源回路の出力電圧端子より高い電圧が強制的に他の電源から与えられることがあった。そのために、逆流保護ダイオードを接続する必要があった。

【0008】

そこで、本発明の目的は、このような従来の課題を解決し、定電圧電源回路に与えられる

50

入力電圧よりも高い電圧が定電圧電源回路の出力電圧端子に与えられたとしても、過電流が回路内に流れ込まないような過電流制限回路を設けることで、逆過電流による破壊等を防止することが可能な逆過電流防止回路を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明の逆過電流防止回路は、定電圧電源回路の出力ドライバにパルクードレイン間をショートしたトランジスタを接続することで、定電圧電源回路の V_{in} と V_{out} の電位の大きい方を選択して、ドライバのパルク電位をそれにするよう 10 している。すなわち、このような構造にすることで、出力トランジスタの逆耐圧を保持し、出力トランジスタを保護することが可能となる。

【0010】

【発明の実施の形態】

以下、本発明の実施形態を、図面により詳細に説明する。

図1は、本発明が適用されるMOSトランジスタを用いた定電圧電源回路の回路構成図である。

定電圧電源回路の入力電圧 (V_{in}) 31、出力電圧 (V_{out}) 32、グランド (GND) 34、定電圧回路 (VREF) 33、定電流回路 (I1)、PチャネルMOSトランジスタM1、M2、M5、NチャネルMOSトランジスタM3、M4、出力電圧値を決めるための抵抗R1、R2から構成されている。

定電圧回路33と定電流回路I1とPチャネルMOSトランジスタM1、M2とNチャネルMOSトランジスタM3、M4により、誤差増幅器を構成している。また、PチャネルMOSトランジスタM5は、出力制御用のトランジスタである。 20

【0011】

図1において、入力電圧31より出力電圧32の方が高い場合、出力電圧であるPチャネルMOSトランジスタM5のドレイン端子はP型領域であり、N型領域であるNウェル基板を通してN型領域の基板電極 (V_{in}) および入力端子に向ってダイオードの順方向電流が流れてしまう。すなわち、PチャネルMOSトランジスタM5は、図5に示すような構造であり、ドレイン電極15はP+領域18であり、N型領域のNウェル基板21を通してN+領域20と入力端子11に向って順方向電流が流れることになる。

【0012】

図2は、本発明の第1の実施例を示すMOSトランジスタを使用した定電圧電源回路の回路構成図である。 30

図1における逆過電流を回避するためには、基板電極とPチャネルMOSトランジスタM5のソース電極を電気的に分離する必要がある。そのため、図2に示すようなPチャネルMOSトランジスタM8を追加した構成を採用する。

PチャネルMOSトランジスタM8のソース電位は入力電圧 (V_{in}) 41、ゲート電圧は出力電圧 (V_{out}) 42となっている。ドレインと基板は接続されている。すなわち、M8のドレイン電極はゲート電流の下流の基板で接続されている。

【0013】

図2において、通常時、すなわち $V_{in} > V_{out}$ の時には、PチャネルMOSトランジスタM8のドレインと基板の電位は V_{in} と等しくなる。すなわち、M8のソース電位が V_{in} であるため、図5に示すように、ゲート電極14にそれほど大きな電圧が印加されないときには、ソース電極16からドレイン電極15に電子流は流れず、かつドレイン電極15と基板21は同電位であるからである。 40

【0014】

一方、逆流時、すなわち $V_{in} < V_{out}$ の時には、PチャネルMOSトランジスタM8のドレインと基板をPチャネルMOSトランジスタM5の基板と接続しているため、PチャネルMOSトランジスタM5のドレインを介してPチャネルMOSトランジスタM8のドレインと基板の電位は V_{out} となる。また、PチャネルMOSトランジスタM5のソース電位は、入力電圧 (V_{in}) 41である。従って、 $V_{in} < V_{out}$ の時に Pチャネ 50

ルMOSトランジスタM5の基板電極とPチャネルMOSトランジスタM5のソース電極を電気的に分離でき、その結果、ドレイン端子のP型領域からN型領域であるNウェル基板を通してN型領域の基板電極(Vin)41および入力端子に向かってダイオードの順方向電流が流れてしまうことを防止することができる。

【0015】

この時の限界電圧(Vout - Vin)は、PチャネルMOSトランジスタM5のソース端子のP型とNウェル基板のN型との接合耐圧で決まる。

しかしながら、 $V_{in} < V_{out}$ の時にPチャネルMOSトランジスタM5の基板電位をVout42として、ソース電位と分離することで、PチャネルMOSトランジスタM5のソースとドレインの機能の逆転が起こり、PチャネルMOSトランジスタM5がトランジスタとしてONしてしまい、電流がVout42からVin41に向かって流れてしまう。これを防ぐためには、PチャネルMOSトランジスタM5のゲート電位をVout42にしておく必要がある。

10

【0016】

図3は、本発明の第3の実施例を示すMOSトランジスタを使用した定電圧電源回路の回路構成図である。

図2において、PチャネルMOSトランジスタM5のソースとドレインの機能の逆転が起こるのを防止するために、図3では、PチャネルMOSトランジスタM7を新たに設ける。

すなわち、図3に示すように、PチャネルMOSトランジスタM7は、ゲートをVin51とし、ソースをPチャネルMOSトランジスタM5のゲート、ドレインをVout52、基板をPチャネルMOSトランジスタM8の基板に、それぞれ接続している。

$V_{in} < V_{out}$ の時、PチャネルMOSトランジスタM8の基板電位、すなわち、PチャネルMOSトランジスタM7の基板はVout52の電位となっている。

20

【0017】

従って、PチャネルMOSトランジスタM7により、PチャネルMOSトランジスタM5のゲート電位はVout52になり、PチャネルMOSトランジスタM5はトランジスタとしてはOFFしており、PチャネルMOSトランジスタM5の逆流電流は流れない。

しかしながら、 $V_{in} < V_{out}$ の時、PチャネルMOSトランジスタM5のゲート電位をVout52にすることにより、PチャネルMOSトランジスタM5のゲートと接続されているPチャネルMOSトランジスタM1にも、PチャネルMOSトランジスタM5と同様に、ドレインのP型領域からN型領域であるNウェル基板および基板電極に向かってダイオードの順方向電流が流れてしまう。

30

【0018】

図4は、本発明の第4の実施例を示すMOSトランジスタを使用した定電圧電源回路の回路構成図である。

図3において、PチャネルMOSトランジスタM1にも、PチャネルMOSトランジスタM5と同様に、ドレインのP型領域からN型領域であるNウェル基板および基板電極に向かってダイオードの順方向電流が流れるので、これを防止する必要がある。

40

【0019】

本実施例では、図4に示すように、PチャネルMOSトランジスタM5と同様に、PチャネルMOSトランジスタM1の基板をPチャネルMOSトランジスタM8の基板に接続する。また、PチャネルMOSトランジスタM1のゲートもPチャネルMOSトランジスタM5と同様にVout62にしておく必要があるため、ゲートをVin61とし、ソースをPチャネルMOSトランジスタM1のゲート、ドレインをPチャネルMOSトランジスタM5のゲート、基板をPチャネルMOSトランジスタM8の基板に接続したPチャネルMOSトランジスタM6を追加する。

【0020】

$V_{in} < V_{out}$ の時、PチャネルMOSトランジスタM8の基板電位、すなわちPチャネルMOSトランジスタM6の基板電位は、Vout62の電位となっている。このため

50

、PチャネルMOSトランジスタM6によりPチャネルMOSトランジスタM1のゲート電位は $V_{out\ 6}$ になり、PチャネルMOSトランジスタM1はトランジスタとしてはOFFしており、PチャネルMOSトランジスタM1の逆流電流は流れない。

【0021】

PチャネルMOSトランジスタM1のゲートと、PチャネルMOSトランジスタM2のゲート、およびドレインは接続されている。PチャネルMOSトランジスタM1と同様にPチャネルMOSトランジスタM2のドレインのP型領域からN型領域であるNウェル基板および基板電極に向かってダイオードの順方向電流が流れてしまう。従って、図4に示すように、PチャネルMOSトランジスタM1と同様に、PチャネルMOSトランジスタM2の基板は、PチャネルMOSトランジスタM8の基板に接続する。

10

【0022】

以上のように、PチャネルMOSトランジスタM6、M7、M8を追加することにより、 $V_{in} < V_{out}$ の時において、 V_{out} 端子からの V_{in} 端子への逆過電流は流れない。

なお、 $V_{in} > V_{out}$ の時においても、PチャネルMOSトランジスタM6、M7のゲートは V_{in} に接続され、かつ基板電位はPチャネルMOSトランジスタM8であり、そのPチャネルMOSトランジスタM8はドレインおよび基板電位が V_{in} となっているため、PチャネルMOSトランジスタM6、M7はトランジスタとしてはOFFしており、通常のレギュレーション動作には影響しない。

【0023】

20

【発明の効果】

以上説明したように、本発明によれば、PチャネルMOSトランジスタを出力電圧制御用として用いる定電圧電源回路においては、定電圧電源回路に与えられる入力電圧より高い電圧が定電圧電源回路の出力電圧端子に外部より強制的に与えられたとしても、過電流が回路内に流れ込まないような過電流制限回路を備えたため、回路内で定められたPN接合の逆方向耐圧までの電圧が出力端子と入力端子間にかかったとしても、逆過電流による破壊等を防止することができる。

その結果、多電源で使用するようにアプリケーションで、定電圧電源の出力電圧端子を他の電源回路の出力電圧とショートとして使用される場合などに極めて有効である。

【図面の簡単な説明】

30

【図1】本発明が適用されるMOSトランジスタを用いた定電圧電源回路の回路構成図である。

【図2】本発明の第1の実施例を示すMOSトランジスタを用いた定電圧電源回路の回路構成図である。

【図3】本発明の第2の実施例を示すMOSトランジスタを用いた定電圧電源回路の回路構成図である。

【図4】本発明の第3の実施例を示すMOSトランジスタを用いた定電圧電源回路の回路構成図である。

【図5】従来におけるMOSトランジスタを用いた定電圧電源回路の断面構造図である。

【図6】従来におけるMOSトランジスタを用いた定電圧電源回路に逆流保護ダイオードを接続した構成図である。

40

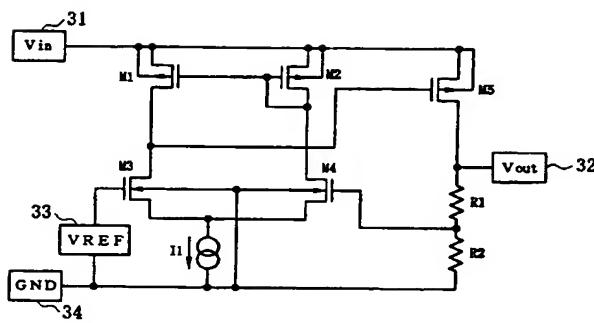
【符号の説明】

- 31, 41, 51, 61 … 入力電圧 (V_{in})、
- 32, 42, 52, 62 … 出力電圧 (V_{out})、
- 33, 43, 53, 63 … 定電圧回路 (VREF)、
- 34, 44, 54, 64 … グランド (GND)、
- I1 … 定電流回路、R1, R2 … 抵抗、
- M1, M2 … PチャネルMOSトランジスタ、
- M3, M4 … NチャネルMOSトランジスタ、
- M5 … 定電圧電源回路の出力ドライバ、

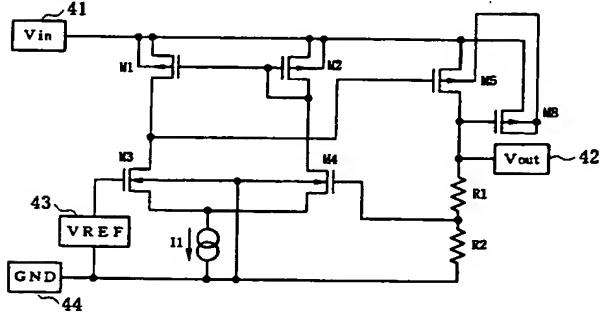
50

M 6, M 7, M 8 … 追加された P チャネル M O S トランジスタ、
 1 1 … 入力端子電圧、1 2 … 出力電圧制御電圧、
 1 3 … 出力端子電圧、1 4 … ゲード電極、1 5 … ドレイン電極、
 1 6 … ソース電極、1 7 … 基板電極、1 8, 1 9 … P + 領域、
 2 0 … N + 領域、2 1 … N ウェル（基板）、2 2 … P ウェル、
 2 7 … 入力電圧、2 5 … 定電圧電源回路、2 8 … 出力電圧、
 2 6 … A C アダプター等の他電源回路、2 9 … アプリケーション、
 3 0 … 逆流保護ダイオード。

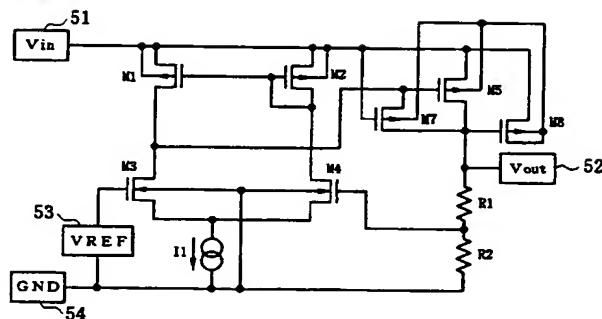
【図 1】



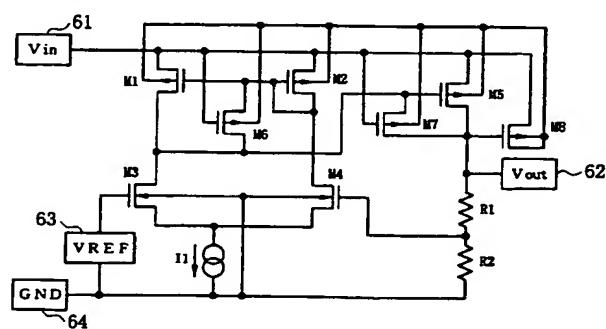
【図 2】



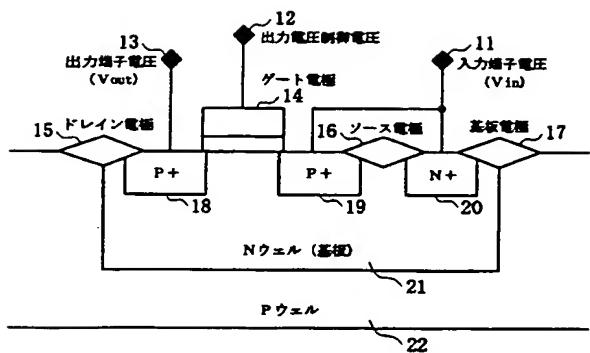
【図 3】



【図 4】



【図5】



【図6】

